

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299581

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 27/105
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2001-101612

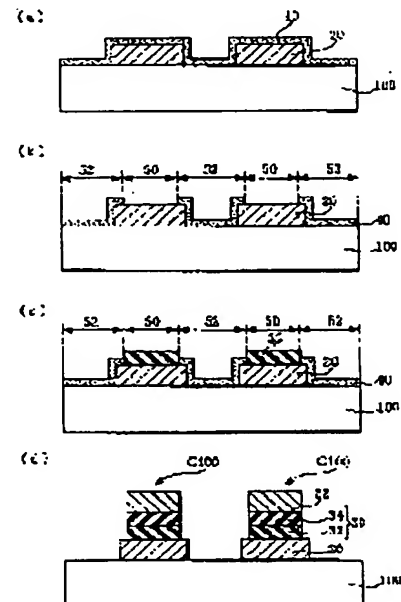
(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.03.2001

(72)Inventor : SHIMODA TATSUYA
NISHIKAWA HISAO
FURUSAWA MASAHIRO
NATORI EIJI
MITANI HIROOKI
OKUBO TAKASHI**(54) FERROELECTRIC FILM AND METHOD OF MANUFACTURING THE SAME, FERROELECTRIC CAPACITOR AND METHOD OF MANUFACTURING THE SAME, AND FERROELECTRIC MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a novel ferroelectric film made of a material, which is not an oxide ferroelectric material or polyvinylidene fluoride-based organic ferroelectric material and a method of manufacturing the same, a ferroelectric capacitor comprising the ferroelectric film and a method of manufacturing the same, and a ferroelectric memory device comprising the ferroelectric capacitor and a method of manufacturing the same.

SOLUTION: The method of manufacturing the ferroelectric film comprises a process (a) of forming a first region 50 having such a surface physicality as to deposit preferentially at least one of materials for a film 32 including the acceptor and a film 34 including the donor, and a second region 52 having a surface physicality which hardly allows the deposition of a material relative to the first region 50; and a process (b) of applying a material and then forming the film 32 including the acceptor or the film 34 including the donor or both of the films selectively in the first region 50.

**LEGAL STATUS**

[Date of request for examination] 16.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299581

(P2002-299581A)

(43) 公開日 平成14年10月11日 (2002.10.11)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

H 0 1 L 27/105

H 0 1 L 27/10

4 4 4 B 5 F 0 8 3

21/8247

4 4 4 A 5 F 1 0 1

29/788

29/78

3 7 1

29/792

審査請求 未請求 請求項の数22 O L (全 13 頁)

(21) 出願番号 特願2001-101612(P2001-101612)

(22) 出願日 平成13年3月30日 (2001.3.30)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 西川 尚男

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

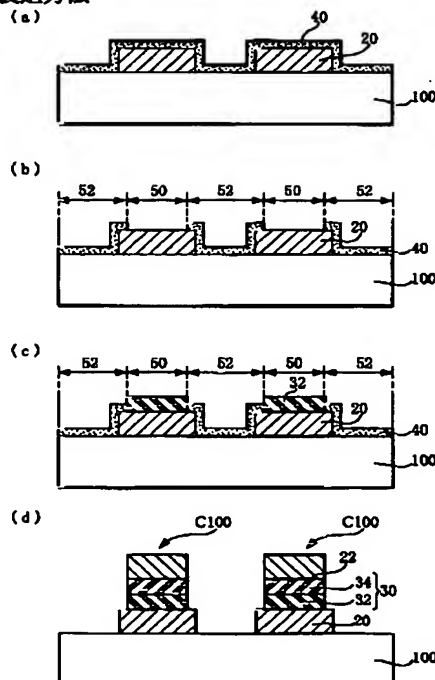
最終頁に続く

(54) 【発明の名称】 強誘電体膜、強誘電体膜の製造方法、強誘電体キャパシタ、強誘電体キャパシタの製造方法、強誘電体メモリ装置および強誘電体メモリ装置の製造方法

(57) 【要約】

【課題】 酸化物強誘電体材料やポリフッ化ビニリデン系の有機強誘電体材料でないものからなる、新規の強誘電体膜およびその製造方法を提供する。上記本発明に係る強誘電体膜を有する強誘電体キャパシタおよびその製造方法を提供する。上記本発明に係る強誘電体キャパシタを有する強誘電体強誘電体メモリ装置およびその製造方法を提供する。

【解決手段】 強誘電体膜の製造方法は、アクセプターを含む膜32およびドナーを含む膜34の少なくとも一方の材料が優先的に堆積される表面物性を有する第1の領域50と、第1の領域50に比較して材料が堆積され難い表面物性を有する第2の領域52とを形成する工程(a)、材料を付与し、第1の領域50に、アクセプターを含む膜32およびドナーを含む膜34の少なくとも一方を選択的に形成する工程(b)、を含む。



【特許請求の範囲】

【請求項1】 アクセプターを含む膜と、ドナーを含む膜とを有する強誘電体膜の製造方法であって、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料が優先的に堆積される表面物性を有する第1の領域と、前記第1の領域に比較して該材料が堆積され難い表面物性を有する第2の領域とを形成する工程(a)、および前記材料を付与し、前記第1の領域に、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方を選択的に形成する工程(b)、を含む、強誘電体膜の製造方法。

【請求項2】 請求項1において、前記第1の領域および前記第2の領域は、下地の表面の物性を制御することにより形成される、強誘電体膜の製造方法。

【請求項3】 請求項1または2において、前記第1の領域および前記第2の領域の一方は、表面修飾層が形成されて構成される、強誘電体膜の製造方法。

【請求項4】 請求項3において、前記表面修飾層の厚さは、1～10nmである、強誘電体膜の製造方法。

【請求項5】 請求項3または4において、前記表面修飾層は、化学吸着により、該表面修飾層の構成物質を自己集積的に堆積して形成される、強誘電体膜の製造方法。

【請求項6】 請求項3～5のいずれかにおいて、前記表面修飾層の材料は、シラン化合物、チオール化合物およびジスルフィド化合物から選択される少なくとも1種である、強誘電体膜の製造方法。

【請求項7】 請求項1～6のいずれかにおいて、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料は、インクジェットにより、前記第1の領域に供給される、強誘電体膜の製造方法。

【請求項8】 請求項1～6のいずれかにおいて、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料は、ミスト化されて、前記第1の領域に供給される、強誘電体膜の製造方法。

【請求項9】 請求項1～8のいずれかにおいて、前記ドナーから前記アクセプターに電子が移動するとともに、正の電荷が、前記ドナーを含む膜から前記アクセプターを含む膜へ移動する、強誘電体膜の製造方法。

【請求項10】 請求項1～9のいずれかにおいて、前記ドナーは、フルバレン骨格を有するドナー、メタロセン骨格を有するドナーおよびドナー性金属錯体の群から選択される少なくとも1種である、強誘電体膜の製造方法。

【請求項11】 請求項1～10のいずれかにおいて、前記アクセプターは、キノン骨格を有するアクセプター、フラレン系化合物およびアクセプター性金属錯体の群から選択される少なくとも1種である、強誘電体膜

の製造方法。

【請求項12】 請求項1～11のいずれかにおいて、前記強誘電体膜は、前記アクセプターを含む膜と、前記ドナーを含む膜とが積層されて構成される、強誘電体膜の製造方法。

【請求項13】 請求項1～12のいずれかにおいて、前記強誘電体膜は、前記アクセプターを含む膜と前記ドナーを含む膜との対が、複数有する、強誘電体膜の製造方法。

【請求項14】 請求項1～13のいずれかに記載の強誘電体膜の製造方法により製造された、強誘電体膜。

【請求項15】 請求項14において、前記強誘電体膜の形成領域以外の下地の領域において、表面修飾層が形成されている、強誘電体膜。

【請求項16】 請求項14において、前記強誘電体膜と下地との間において、表面修飾層が形成されている、強誘電体膜。

【請求項17】 請求項1～13のいずれかに記載の強誘電体膜の製造方法を含む、強誘電体キャパシタの製造方法。

【請求項18】 請求項17に記載の強誘電体キャパシタの製造方法により製造された、強誘電体キャパシタ。

【請求項19】 請求項14～16のいずれかに記載の強誘電体膜と、第1電極と、第2電極とを含み、前記強誘電体膜は、少なくとも、前記第1電極と前記第2電極との間において、設けられている、強誘電体キャパシタ。

【請求項20】 請求項17に記載の強誘電体キャパシタの製造方法を含む、強誘電体メモリ装置の製造方法。

【請求項21】 請求項20に記載の強誘電体メモリ装置の製造方法により製造された、強誘電体メモリ装置。

【請求項22】 請求項18または19に記載の強誘電体キャパシタを含む、強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体膜、強誘電体膜の製造方法、強誘電体キャパシタ、強誘電体キャパシタの製造方法、強誘電体メモリ装置および強誘電体メモリ装置の製造方法に関する。

【0002】

【背景技術】現在、ICメモリとして強誘電体メモリ装置が提案されている。強誘電体メモリ装置は、強誘電体膜を有し、この強誘電体膜を1対の電極で挟んで構成されており、自発分極によりデータを保持するものである。この強誘電体膜は、一般に、PZTに代表されるペロブスカイト結晶構造を有する無機系の酸化物強誘電体物質からなる。

【0003】しかし、酸化物強誘電体の形成には、通常、高温における酸素雰囲気下での熱処理が必要となる。このため、以下のような問題が発生する。1)電極

材料として、プラチナやイリジウムなどの貴金属を用いなければならないため、材料コストが増大する。2) アルミニウムやタングステンなどを配線材料とするLSIプロセスとの適合性が悪い。

【0004】また、酸化物強誘電体物質は、微細加工する際のドライエッチングで一般的に用いられるエッチングガスとの反応性が乏しい。このため、酸化物強誘電体は、微細な加工が困難である。

【0005】そこで、現在、強誘電体物質として、ポリフッ化ビニリデン系の有機強誘電体材料が提案されている。しかし、ポリフッ化ビニリデン系の有機強誘電体材料は、駆動電圧が高く、応答速度が遅いという問題を有する。

【0006】

【発明が解決しようとする課題】本発明の目的は、酸化物強誘電体材料やポリフッ化ビニリデン系の有機強誘電体材料でないものからなる、新規の強誘電体膜の製造方法を提供することにある。

【0007】本発明の他の目的は、上記本発明に係る強誘電体膜を有する強誘電体キャパシタの製造方法を提供することにある。

【0008】本発明の他の目的は、上記本発明に係る強誘電体キャパシタを有する強誘電体メモリ装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】(強誘電体膜の製造方法) 本発明の強誘電体膜の製造方法は、アクセプターを含む膜と、ドナーを含む膜とを有する強誘電体膜の製造方法であって、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料が優先的に堆積される表面物性を有する第1の領域と、前記第1の領域に比較して該材料が堆積され難い表面物性を有する第2の領域とを形成する工程(a)、および前記材料を付与し、前記第1の領域に、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方を選択的に形成する工程(b)、を含む。

【0010】ここで、「ドナー」とは、アクセプターに電子を与えやすい物質をいう。つまり、「アクセプター」とは、ドナーから電子を受け取りやすい物質をいう。

【0011】本発明においては、第1の領域と第2の領域とを形成する工程を含む。この第1の領域は、アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料が、第2の領域に比較して、優先的に堆積される表面物性を有する。その結果、第1の領域に、その材料を選択的に形成することができる。したがって、アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方を、エッチングする必要がないため、工程数の低減を図ることができる。また、アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方を全面に形

成する必要がないため、材料の消費を抑えることができる。また、材料の利用効率を高めることができる。

【0012】なお、アクセプターを含む膜と、ドナーを含む膜とを有する膜が強誘電性を示す理由は、後に詳述する。

【0013】前記第1の領域および前記第2の領域は、下地の表面の物性を制御することにより形成されることができる。また、前記第1の領域および前記第2の領域の一方は、表面修飾層が形成されて構成されることができる。

【0014】表面修飾層は、たとえば少なくとも次のいずれかの態様をとることができる。

【0015】(1) 前記表面修飾層の厚さは、1~10 nmである態様。

【0016】(2) 前記表面修飾層は、化学吸着により、該表面修飾層の構成物質を自己集積的に堆積して形成される態様。

【0017】(3) 前記表面修飾層の材料は、シラン化合物、チオール化合物およびジスルフィド化合物から選択される少なくとも1種である態様。

【0018】前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料は、インクジェットにより、前記第1の領域に供給されることができる。または、前記アクセプターを含む膜および前記ドナーを含む膜の少なくとも一方の材料は、ミスト化されて、前記第1の領域に供給されることができる。

【0019】前記ドナーから前記アクセプターに電子が移動するとともに、正の電荷が、前記ドナーを含む膜から前記アクセプターを含む膜へ移動する強誘電体膜であると、系の安定化を図ることができる。

【0020】前記ドナーは、フルバレン骨格を有するドナー、メタロセン骨格を有するドナーおよびドナー性金属錯体の群から選択される少なくとも1種であることができる。

【0021】前記アクセプターは、キノン骨格を有するアクセプター、フラーレン系化合物およびアクセプター性金属錯体の群から選択される少なくとも1種であることができる。

【0022】前記強誘電体膜は、前記アクセプターを含む膜と、前記ドナーを含む膜とが積層されて構成されていてもよい。

【0023】前記強誘電体膜は、前記アクセプターを含む膜と前記ドナーを含む膜との対が、複数有していてもよい。

【0024】(強誘電体膜の製造方法) 本発明の強誘電体膜は、請求項1~13のいずれかに記載の強誘電体膜の製造方法により製造されている。

【0025】本発明の強誘電体膜は、前記強誘電体膜の形成領域以外の下地の領域において、表面修飾層が形成されていることができる。または、前記強誘電体膜と下

地との間において、表面修飾層が形成されていることができる。

【0026】(強誘電体キャパシタの製造方法) 本発明の強誘電体キャパシタの製造方法は、請求項1～13のいずれかに記載の強誘電体膜の製造方法を含む。

【0027】(強誘電体キャパシタ) 本発明の第1の強誘電体キャパシタは、請求項17に記載の強誘電体キャパシタの製造方法により製造されている。

【0028】本発明の第2の強誘電体キャパシタは、請求項14～16のいずれかに記載の強誘電体膜と、第1電極と、第2電極とを含み、前記強誘電体膜は、少なくとも、前記第1電極と前記第2電極との間において、設けられていることができる。

【0029】(強誘電体メモリ装置の製造方法) 本発明の強誘電体メモリ装置の製造方法は、請求項17に記載の強誘電体キャパシタの製造方法を含む。

【0030】(強誘電体メモリ装置) 本発明の第1の強誘電体メモリ装置は、請求項20に記載の強誘電体メモリ装置の製造方法により製造されている。

【0031】本発明の第2の強誘電体メモリ装置は、請求項18または19に記載の強誘電体キャパシタを含んでいる。

【0032】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0033】[製造プロセス] 以下、実施の形態に係る強誘電体キャパシタの製造方法について説明する。図1は、実施の形態に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。

【0034】まず、図1(a)に示すように、基体100の上に、第1電極20を形成する。第1電極20の形成方法は、特に限定されず、例えば気相法、液相法などを用いることができる。気相法としては、スパッタリング、真空蒸着、MOCVDなどを用いることができる。また、液相法としては、電解メッキ、無電解メッキなどを適用できる。第1の電極の材質は、特に限定されず、たとえばAl、Ni、W、Au、Ag、Cu、Ir、IrOx、Pt、Ru、RuOx、SrRuOx、LaSrCoOx、ITO(インジウムスズ酸化物)である。第1電極20の厚さは、たとえば10～400nmである。

【0035】次に、リソグラフィ技術を利用して、第1電極20を選択的にエッチングし、第1電極20をパターンニングする。

【0036】次に、図1(b)に示すように、ドナーを含む膜32およびアクセプターを含む膜34の材料が優先的に堆積され易い第1の領域50と、第1の領域50に比べてその材料が堆積され難い第2の領域52とを形成する。具体的には、下地の表面の物性を制御することにより、第1の領域50と、第2の領域52とを形成す

ることができる。つまり、第1の領域50は、その材料が堆積され易い表面物性を有し、第2の領域52はその材料が堆積され難い表面物性を有する。これにより、第1の領域50と第2の領域52との表面物性の差を利用して、選択的にドナーを含む膜32およびアクセプターを含む膜34が選択的に形成される。制御され得る下地の表面の物性としては、たとえば、表面自由エネルギー、静電エネルギー、磁気エネルギー、水素結合エネルギーを挙げることができる。

【0037】以下、図1(a)および図1(b)を参照しながら、第1の領域50および第2の領域52の形成方法を説明する。

【0038】図1(a)に示すように、基体100および第1電極20の上に、表面修飾層40を形成する。表面修飾層40は、表面修飾層40が形成された下地の上において、ドナーを含む膜32およびアクセプターを含む膜34の材料が堆積され難い性質を有する。また、表面修飾層40は、さらに、第2電極22を形成するための材料が堆積され難いような表面特性を有することが好ましい。表面修飾層40の厚さは、たとえば0.5～100nmであり、好ましくは1～10nmである。

【0039】表面修飾層40は、CVD等の気相成長法により形成してもよいし、スピンコート法やディップ法などの液相を用いた方法によって形成してもよい。液相を用いた方法により表面修飾層40を形成する場合には、液体又は溶媒に溶かした物質を使用することができる。表面修飾層40の材料は、シラン化合物、チオール化合物およびジスルフィド化合物のうちから選択される少なくとも1種であることができる。

【0040】シラン化合物の具体例としては、シランカップリング剤(有機ケイ素化合物)を挙げることができる。シランカップリング剤とは、 $R^2_n Si X_{4-n}$ (n は自然数、 R^2 はH、アルキル基等の置換可能な炭化水素基)で表される化合物であり、 X は $-OR^3$ 、 $-COOH$ 、 $-OOCR^3$ 、 $-NH_3$ 、 $-R^3$ 、 $-OCN$ 、ハロゲン等である(R^3 はアルキル基等の置換可能な炭化水素基)。

【0041】チオール化合物とは、メルカプト基($-SH$)を持つ有機化合物(R^1-SH ; R^1 はアルキル基等の置換可能な炭化水素基)の総称をいう。表面修飾層40を液相で形成する場合には、その溶液は、このようなチオール化合物を、例えば、ジクロロメタン、トリクロロメタン等の有機溶剤に溶かして0.1～10mM程度の溶液であることができる。

【0042】上記のシランカップリング剤およびチオール化合物の中で、特に R^1 や R^3 が $C_n F_{2n+1} C_m H_{2m}$ (n, m は自然数)であるようなフッ素原子を有する化合物は表面自由エネルギーが低くなり、アクセプターを含む膜32およびドナーを含む膜34の材料との親和性が小さくなるため、好適に用いられる。

【0043】また、表面修飾層40を、自己組織化膜（自己集積化膜）により構成させてもよい。ここで、自己組織化膜とは、下地の構成物質と化学結合ができる、自己組織化膜の原料物質を供給することにより、自己集積的に堆積して得られる膜である。たとえば、原料物質を溶液状態にし、基体100を浸漬することにより自己組織化膜を形成することができる。または、自己組織化膜の原料物質が気化しやすい場合には、この原料物質と基体100をチャンバ内に放置することで、自己組織化膜を形成することができる。

【0044】次に、図1（b）に示すように、表面修飾層40をパターニングする。こうして、表面修飾層40が除去された領域において第1の領域50が形成され、表面修飾層40が形成されている領域において第2の領域52が形成される。

【0045】表面修飾層40のパターニングは、たとえば次のようにして行うことができる。たとえば、光（たとえば400nm以下の波長の光）を当てること、表面修飾層40を構成する分子が分解反応を起こして除去される場合には、図2に示すように、所定領域のみ光を照射して、その部分の表面修飾層40を除去してもよい。このような光によるパターニングは、リソグラフィで行われるマスク露光を適用することができる。あるいは、マスクを使用せずに、レーザ、電子線、または、イオンビームなどによって直接的に表面修飾層40をパタ

ーニングすることができる。

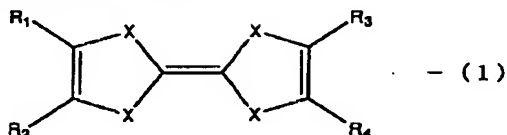
【0046】次に、図1（c）に示すように、第1電極20の上に、ドナーを含む膜32を形成する。つまり、ドナーを含む膜32の材料を供給することにより、第1の領域50に選択的にドナーを含む膜32を形成する。ここで、ドナーを含む膜32が第1の領域50に選択的に形成されるのは、第2の領域52には表面修飾層40が形成されているため、ドナーを含む膜32の材料が、第2の領域52に比べて第1の領域50に優先的に堆積されるからである。ドナーを含む膜32の材料の供給方法としては、たとえばインクジェット法で選択的に供給する方法、または、その材料の溶液を超音波などによりミスト化して第1の領域50に選択的に供給するミストデポジション法を採用することもできる。ドナーを含む膜32の厚さは、たとえば10～1000nm、好ましくは50～200nmである。

【0047】ここで、ドナーとしては、フルバレン骨格を有するドナー、メタロセン骨格を有するドナー、ドナー性金属錯体を挙げるができる。

【0048】フルバレン骨格を有するドナーとしては、たとえば、下記一般式（1）で表される化合物を挙げるができる。

【0049】

【化1】

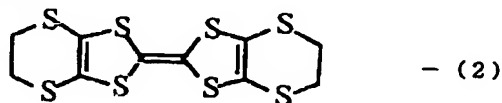


【0050】式中、 R_1 、 R_2 、 R_3 および R_4 は、H、アルキル基、 $-SH$ または $-SR_m$ を表し、 X は、SまたはSeを表す。ここで、 R_m は、アルキル基を表す。

【0051】フルバレン骨格を有するドナーの具体例としては、1) R_1 、 R_2 、 R_3 および R_4 がHであり、 X がSである、テトラチアフルバレン（TTF）、2) R_1 、 R_2 、 R_3 および R_4 が CH_3 であり、 X がSeである、テトラメチルテトラセナフルバレン（TMTSF）、3) 下記式（2）で表される化合物のビスエチレンジオテトラフルバレン（BEDT-TTF）を挙げるができる。

【0052】

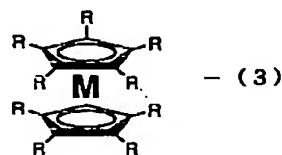
【化2】



【0053】メタロセン骨格を有するドナーとしては、たとえば、下記一般式（3）で表される化合物を挙げるができる。

【0054】

【化3】

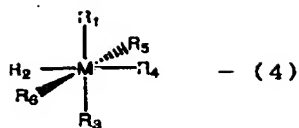


【0055】式（3）中、 R は、たとえばHまたは CH_3 を表し、 M はたとえばFe、Co、Ni、Mn、Cr、RuまたはSmを表す。なお、各 R は、相互に同じであっても、異なってもよい。

【0056】ドナー性金属錯体としては、たとえば、下記一般式（4）で表される化合物を挙げるができる。

【0057】

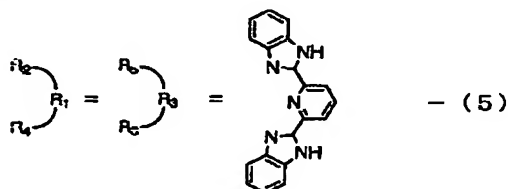
【化4】



【0058】式中、Mは、たとえばFe、Co、Ni、Mn、Cr、RuまたはSmを表す。

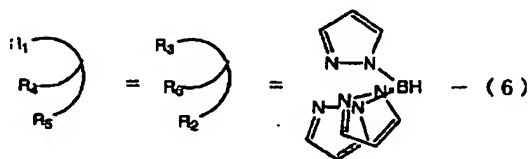
【0059】一般式(4)において、錯体の配位子は、 R_1 、 R_2 および R_4 の配位位置を占める3座配位子と、 R_3 、 R_5 および R_6 の配位位置を占める3座配位子とであることができる。 R_1 、 R_2 および R_4 の配位位置を占める3座配位子および R_3 、 R_5 および R_6 の配位位置を占める3座配位子は、たとえば下記式(5)で表される化合物を挙げることができる。

【0060】
【化5】



【0061】または、一般式(4)において、錯体の配位子は、 R_1 、 R_4 および R_5 の配位位置を占める3座配位子と、 R_2 、 R_3 および R_6 の配位位置を占める3座配位子とであることができる。 R_1 、 R_4 および R_5 の配位位置を占める3座配位子および R_2 、 R_3 および R_6 の配位位置を占める3座配位子は、たとえば下記式(6)で表される化合物を挙げることができる。

【0062】
【化6】



【0063】次に、ドナーを含む膜32の上に、アクセプターを含む膜34を選択的に形成し、ドナーを含む膜32とアクセプターを含む膜34とを有する強誘電体膜30を形成する。具体的には、アクセプターを含む膜34の材料を供給することにより、第1の領域50に選択的にアクセプターを含む膜34が形成される。ここで、アクセプターを含む膜34が第1の領域50に選択的に形成されるのは、第2の領域52には表面修飾層40が形成されているため、アクセプターを含む膜34の材料が、第2の領域52に比べて第1の領域50に優先的に堆積されるからである。アクセプターを含む膜32の材料の供給方法としては、たとえばインクジェット法で選択的に供与する方法、または、その材料の溶液を超音波

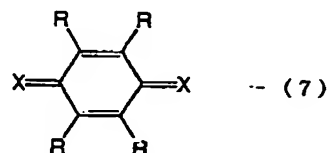
などによりミスト化して第1の領域に選択的に供給するミストデポジション法を採用することもできる。アクセプターを含む膜の厚さは、たとえば10~1000nm、好ましくは50~200nmである。

【0064】ここで、アクセプターとしては、たとえば、キノン骨格を有するアクセプター、フラレーン系化合物、アクセプター性金属錯体を挙げることができる。

【0065】キノン骨格を有するアクセプターとしては、たとえば、下記一般式(7)により表される化合物を挙げることができる。

【0066】

【化7】



【0067】一般式(7)において、RはたとえばH、F、ClまたはBrを表し、XはたとえばO、N(CN)またはC(CN)₂を表す。

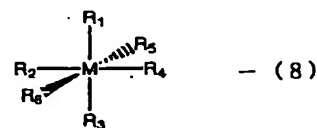
【0068】キノン骨格を有するアクセプターとしては、より具体的には、1) RがHであり、XがC(CN)₂である、テトラシアノキノンジメタン(TCNQ)、2) RがClであり、XがOである、クロラニルを挙げることができる。

【0069】フラレーン系化合物としては、たとえば、C₆₀、C₇₀、C₈₂、C₉₀、カーボンナノチューブを挙げることができる。

【0070】アクセプター性金属錯体としては、たとえば、下記一般式(8)により表される化合物を挙げることができる。

【0071】

【化8】

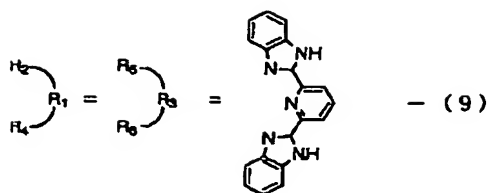


【0072】式中、Mは、たとえばFe、Co、Ni、Mn、Cr、RuまたはSmを表す。

【0073】一般式(8)において、錯体の配位子は、 R_1 、 R_2 および R_4 の配位位置を占める3座配位子と、 R_3 、 R_5 および R_6 の配位位置を占める3座配位子とであることができる。 R_1 、 R_2 および R_4 の配位位置を占める3座配位子および R_3 、 R_5 および R_6 の配位位置を占める3座配位子は、たとえば下記式(9)で表される化合物を挙げることができる。

【0074】

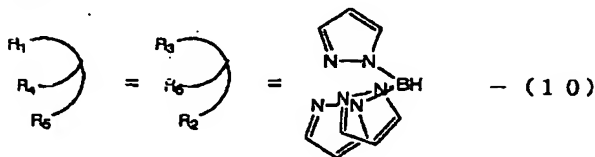
【化9】



【0075】または、一般式(8)において、錯体の配位子は、 R_1 、 R_4 および R_5 の配位位置を占める3座配位子と、 R_2 、 R_3 および R_6 の配位位置を占める3座配位子とであることができる。 R_1 、 R_4 および R_5 の配位位置を占める3座配位子および R_2 、 R_3 および R_6 の配位位置を占める3座配位子は、たとえば下記式(10)で表される化合物を挙げることができる。

【0076】

【化10】



【0077】次に、強誘電体膜30の上に、第2電極22を形成する。第2電極22の材料は、第1電極20と同一の材料を適用でき、好ましくは表面修飾層40の上に堆積され難い材料である。電極の材料が上部電極の上に堆積され難い材料であることにより、第2電極をエッチングすることなく、選択的に強誘電体膜30の上に、第2電極22を形成することができる。この場合、第2電極22は、たとえば、気相法により形成されることができる。また、第2電極22の形成方法としては、第2電極22の材料の溶液を液相の状態が強誘電体膜30の上に、インクジェット法で選択的に供与する方法、または、その材料の溶液を超音波などによりミスト化して第1の領域に選択的に供給するミストデポジション法を採用することもできる。

【0078】次に、必要に応じて、表面修飾層40を除去する。表面修飾層40の除去方法は、たとえば、表面修飾層40のパターニング工程で説明した方法で行うことができる。

【0079】以上のようにして、強誘電体キャパシタC100を形成することができる。

【0080】以下、実施の形態の作用効果を説明する。

【0081】本実施の形態においては、第1の領域50と第2の領域52とを形成し、第1の領域50において、ドナーを含む膜32およびアクセプターを含む膜34を、選択的に形成している。したがって、ドナーを含む膜32およびアクセプターを含む膜34をパターニングするための、エッチング工程が不要であり、プロセス数の低減を図ることができる。

【0082】また、本実施の形態においては、ドナーを

含む膜32およびアクセプターを含む膜34を全面に形成する必要がない。このため、材料の消費を抑えることができ、材料の利用効率を高めることができる。

【0083】〔変形例〕上記実施の形態は、次の変形が可能である。

【0084】(1)上記実施の形態においては、第1電極20を形成した後に、第1の領域50および第2の領域52を形成した。しかし、これに限定されず、図3(a)に示すように、第1の領域50および第2の領域52を形成し、その後に、図3(b)に示すように、第1の領域50に選択的に第1電極20を形成してもよい。第1電極20は、上記の実施の形態における第2電極と同様の方法により形成することができる。

【0085】(2)上記実施の形態においては、ドナーを含む膜32の上に、アクセプターを含む膜34を形成した。しかし、これに限定されず、アクセプターを含む膜の上に、ドナーを含む膜を形成してもよい。

【0086】(3)上記実施の形態の製造プロセスは、図4に示すように、ドナーを含む膜32とアクセプターを含む膜34とが、交互に積層されて構成された強誘電体膜30を有する強誘電体キャパシタの製造においても適用できる。

【0087】(4)図5に示すように、第1の領域50において表面修飾層42を形成してもよい。この場合、表面修飾層42は、基体100の表面に比べて、ドナーを含む膜32およびアクセプターを含む膜34の材料に対して親和性を有する材質からなる。したがって、この材質からなる表面修飾層42を形成することによって、ドナーを含む膜32およびアクセプターを含む膜34を選択的に、表面修飾層42の上に形成することができる。

【0088】(5)上記の実施の形態においては、ドナーを含む膜とアクセプターを含む膜とを選択的に形成した。しかし、これに限定されず、ドナーを含む膜およびアクセプターを含む膜のいずれか一方のみを、選択的に形成してもよい。

【0089】〔強誘電体キャパシタ〕本発明の強誘電体キャパシタの製造方法により得られた強誘電体キャパシタは、たとえば次の構成を有する。以下、図1(d)に示す強誘電体キャパシタを例にとり、強誘電体キャパシタを説明する。

【0090】強誘電体キャパシタC100は、基体100の上に形成されている。強誘電体キャパシタC100は、下部電極(第1電極)20、強誘電体膜30および上部電極(第2電極)22が順次積層されて、構成されている。強誘電体膜30は、ドナーを含む膜32と、アクセプターを含む膜34とが順次積層されて構成されている。図1(d)に示された例では、ドナーを含む膜32の上に、アクセプターを含む膜34が形成されているが、これに限定されず、アクセプターを含む膜の上に、

ドナーを含む膜を形成してもよい。

【0091】上記の強誘電体膜30によれば、次の作用効果が奏される。

【0092】(1)この強誘電体膜30は、酸化物強誘電体物質から構成されていない。したがって、強誘電体膜30の微細加工が容易である。

【0093】(2)強誘電体膜が酸化物強誘電体物質からなる場合には、電極の材料が制限され、しかも適用できる電極の材料が高価であった。しかし、この強誘電体膜によれば、安価で微細加工し易い電極・配線材料（たとえばアルミニウム）を、第1および第2電極20、22の材料として適用することができる。

【0094】(3)この強誘電体キャパシタによれば、強誘電体膜がポリフッ化ビニリデンからなる場合に比べて、低電圧駆動が可能である。

【0095】[強誘電性を示す原理]以下に、ドナーを含む膜32と、アクセプターを含む膜34との積層膜が、強誘電性を示す理由を説明する。

【0096】図6(A)に示すように、第1電極20と第2電極22との間において電圧を印加することにより、ドナーを含む膜32とアクセプターを含む膜34との界面において、ドナーからアクセプターに電子が移動し、分極する。その結果、ドナーを含む膜32とアクセプターを含む膜34との積層膜は、強誘電性を示すこととなる。なお、この積層膜が強誘電性を示すことは、後述する実験例からも明らかである。

【0097】また、図6(B)に示すように、ドナーを含む膜32とアクセプターを含む膜34との界面において、ドナーからアクセプターに電子が移動する際に、同時に、正に帯電した物質（たとえばプロトン）を移動させることが好ましい。この場合、アクセプターを含む膜34において電荷が中和され、電子が移動して分極した結果生じた負電荷同士のクーロン反発を抑えることができ、分極を確実にすることができる。すなわち、分極前の初期状態に戻るのを確実に抑えることができる。その結果、確実に、ドナーを含む膜とアクセプターを含む膜との積層膜は、強誘電性を示すこととなる。

【0098】[強誘電体キャパシタの適用例]以下、本発明に係る強誘電体キャパシタの製造方法は、次の強誘電体キャパシタの製造に適用することができる。

【0099】(第1の強誘電体メモリ装置)図7は、第1の強誘電体メモリ装置1000を模式的に示す断面図である。この強誘電体メモリ装置1000は、強誘電体メモリ装置の制御を行うトランジスタ形成領域を有する。このトランジスタ形成領域が上記の実施の形態で述べた基体100に相当する。

【0100】基体100は、半導体基板10にトランジスタ12を有する。トランジスタ12は、公知の構成を適用でき、薄膜トランジスタ(TFT)、あるいはMOSFETを用いることができる。図示の例ではMOSFETを用いており、トランジスタ12は、ドレインおよびソース14、16と、ゲート電極18とを有する。ドレインおよびソースの一方14には電極15が形成され、ドレインおよびソースの他方16にはプラグ電極26が形成されている。プラグ電極26は、必要に応じてバリア層を介して強誘電体キャパシタC100の第1電極20に接続されている。そして、各メモリセルは、L1OCOSあるいはトレンチアイソレーションなどの素子分離領域17によって分離されている。トランジスタ12などが形成された半導体基板10上には、酸化シリコンなどの絶縁物からなる層間絶縁膜19が形成されている。

【0101】以上の構成において、強誘電体キャパシタC100より下の構造体が基体100であるトランジスタ形成領域を構成している。このトランジスタ形成領域は、具体的には、半導体基板10に形成されたトランジスタ12、電極15、26、層間絶縁層19などを有する構造体からなる。このような基体100上に、第1電極20、強誘電体膜30および第2電極22が積層された強誘電体キャパシタC100が形成されている。強誘電体膜30は、図7の例では、ドナーを含む膜32およびアクセプターを含む膜34が順次積層されて構成されている。そして、図7の例では、表面修飾層140が、第1電極20と強誘電体膜30との間において、形成されている。なお、表面修飾層140は、強誘電体膜30の形成領域以外の領域に形成された態様であってもよい。

【0102】この強誘電体メモリ装置1000は、DRAMセルと同様に、蓄積容量に情報としての電荷をため込む構造を有する。すなわち、メモリセルは、図8および図9に示すように、トランジスタと強誘電体キャパシタにより構成される。

【0103】図8は、メモリセルが1つのトランジスタ12と1つの強誘電体キャパシタC100とを有する、いわゆる1T1Cセル方式を示す。このメモリセルは、ワード線WLとビット線BLとの交点に位置し、強誘電体キャパシタC100の一端は、ビット線BLとの接続をオン・オフするトランジスタ12を介してビット線に接続される。また、強誘電体キャパシタC100の他端は、プレート線PLと接続されている。そして、トランジスタ12のゲートはワード線WLに接続されている。ビット線BLは、信号電荷を増幅するセンスアンプ200に接続されている。

【0104】以下に、1T1Cセルにおける動作の例を簡単に説明する。

【0105】読み出し動作においては、ビット線BLを0Vに固定した後、ワード線WLに電圧を印加し、トランジスタ12をオンする。その後、プレート線PLを0Vから電源電圧 V_{cc} 程度まで印加することにより、強誘電体キャパシタC100に記憶した情報に対応した分極

電荷量がビット線BLに伝達される。この分極電荷量によって生じた微小電位変化を差動式センスアンプ200で増幅することにより、記憶情報を V_{cc} または0Vの2つの情報として読み出すことができる。

【0106】書き込み動作においては、ワード線WLに電圧を印加し、トランジスタ12をオン状態にした後、ビット線BL—プレート線PL間に電圧を印加し、強誘電体キャパシタC100の分極状態を変更し決定する。

【0107】図9は、2つのトランジスタ12と2つの強誘電体キャパシタC100とを有する、いわゆる2T2Cセルを示す図である。この2T2Cセルは、前述した1T1Cセルを2個組み合わせ、相補型の情報を保持する構造を有する。すなわち、2T2Cセルでは、センスアンプ200への2つの差動入力として、相補型にデータを書き込んだ2つのメモリセルから相補信号を入力し、データを検出する。このため、2T2Cセル内の2つの強誘電体キャパシタC100、C100は同じ回数書き込みが行われるため、強誘電体キャパシタC100の強誘電体膜の劣化状態が等しくなり、安定な動作が可能となる。

【0108】(第2の強誘電体メモリ装置) 図10および図11は、MISTランジスタ型メモリセルを有する強誘電体メモリ装置2000を示す。この強誘電体メモリ装置2000は、ゲート絶縁層13に強誘電体キャパシタC100を直接接続する構造を有する。具体的には、半導体基板10にソースおよびドレイン14、16が形成され、さらに、ゲート絶縁層13上には、フローティングゲート電極(第1電極)20、強誘電体膜30およびゲート電極(第2電極)22が積層された強誘電体キャパシタC100が接続されている。強誘電体膜30は、図10の例においては、ドナーを含む膜32およびアクセプターを含む膜34が積層されて構成されている。そして、図10の例では、表面修飾層140が、第1電極20と強誘電体膜30との間において、形成されている。なお、表面修飾層140は、強誘電体膜30の形成領域以外の領域に形成された態様であってもよい。

【0109】この強誘電体メモリ装置2000においては、半導体基板10、ソース、ドレイン14、16およびゲート絶縁層13が、第1の実施の形態で述べた基体100に相当する。

【0110】また、この強誘電体メモリ装置2000は、図11に示すように、ワード線WLは各セルのゲート電極22に接続され、ドレインはビット線BLに接続されている。この強誘電体メモリ装置においては、データの書き込み動作は、選択するセルのワード線WLとウェル(ソース)間に電界を印加することによって行われる。また、読み出し動作は、選択セルに対応するワード線WLを選択し、選択セルのビット線BLに接続したセンスアンプ200によって各トランジスタを流れる電流量を検出することで行われる。

【0111】(第3の強誘電体メモリ装置) 図12は、第3の強誘電体メモリ装置を模式的に示す図であり、図13は、メモリセルアレイの一部を拡大して示す平面図であり、図14は、図12のA-A線に沿った断面図である。平面図において、()内の数字は最上層より下の層を示す。

【0112】この例の強誘電体メモリ装置3000は、図12に示すように、メモリセル120が単純マトリクス状に配列されたメモリセルアレイ100Aと、メモリセル(強誘電体キャパシタC100)120に対して選択的に情報の書き込みもしくは読み出しを行うための各種回路、例えば、第1信号電極(第1電極)20を選択的に制御するための第1駆動回路150と、第2信号電極(第2電極)22を選択的に制御するための第2駆動回路152と、センスアンプなどの信号検出回路(図示せず)とを含む。

【0113】メモリセルアレイ100Aは、行選択のための第1信号電極(ワード線)20と、列選択のための第2信号電極(ビット線)22とが直交するように配列されている。すなわち、X方向に沿って第1信号電極20が所定ピッチで配列され、X方向と直交するY方向に沿って第2信号電極22が所定ピッチで配列されている。なお、信号電極は、上記の逆でもよく、第1信号電極がビット線、第2信号電極がワード線でもよい。

【0114】メモリセルアレイ100Aは、図13および図14に示すように、絶縁性の基体100上に、第1信号電極20、強誘電体膜30および第2信号電極22が積層され、第1信号電極20、強誘電体層30および第2信号電極22によって強誘電体キャパシタ120が構成される。すなわち、第1信号電極20と第2信号電極22との交差領域において、それぞれ強誘電体キャパシタ120からなるメモリセルが構成されている。強誘電体膜30は、図14の例においては、ドナーを含む膜32およびアクセプターを含む膜34が順次積層されて構成されている。そして、図14の例では、表面修飾層140が、第1信号電極20と強誘電体膜30との間において、形成されている。なお、表面修飾層140は、強誘電体膜30の形成領域以外の領域に形成された態様であってもよい。

【0115】また、強誘電体膜30と第2信号電極22とからなる積層体の相互には、基体100および第1信号電極20の露出面を覆うように、誘電体層38が形成されている。この誘電体層38は、強誘電体膜30に比べて小さい誘電率を有することが望ましい。このように強誘電体膜30および第2信号電極22からなる積層体の相互間に、強誘電体膜30より誘電率の小さい誘電体層38を介在させることにより、第1、第2信号電極20、22の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置3000における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【0116】次に、強誘電体メモリ装置3000における書き込み、読み出し動作の一例について述べる。

【0117】まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 V_0 」が印加される。これは、同時に「0」の書き込み動作を兼ねている。このとき、選択されたビット線を通る電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。さらにこのとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0118】書き込み動作においては、「1」の書き込みの場合は、選択セルのキャパシタに「 $-V_0$ 」の電圧が印加される。「0」の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に書き込まれた「0」状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。

【0119】以上、蓄積容量型、MISトランジスタ型および単純マトリクス型の強誘電体メモリ装置の例について述べたが、強誘電体メモリ装置はこれらに限定されず、他のタイプのメモリトランジスタにも適用できる。要するに、強誘電体メモリ装置は、少なくとも第1電極と強誘電体膜とが積層された構造を有するものに適用できる。

【0120】〔実験例〕ドナーを含む膜と、アクセプターを含む膜との積層膜が、強誘電体膜として機能するかどうか調べた。

【0121】試験体（キャパシタ）は、次の構成とした。ガラス基板の上に、下部電極として透明電極（ITO：インジウムスズ酸化物）を形成した。下部電極の上にドナーを含む膜を形成し、ドナーを含む膜の上にアクセプターを含む膜を形成した。アクセプターを含む膜の上に、上部電極を形成した。

【0122】ドナーを含む膜は、ドナーを高分子に分散した材料から構成した。ドナーはジメチルフェナジンとし、高分子はポリビスフェノールカーボネートとした。なお、ドナーを含む膜は、ジメチルフェナジンおよびポリビスフェノールカーボネートをクロロホルムに溶かしたものを、スピンコートして形成された。アクセプターは、フラーレンとした。

【0123】アクセプターを含む膜は、フラーレンを真空蒸着して形成された。上部電極は金からなり、蒸着法により形成した。

【0124】図15に、この試験体（キャパシタ）の分極と、電圧との関係を表すグラフを示す。図15に示すように、電圧の上げ下げに対して、ヒステリシスループが観測された。このことは、ドナーを含む膜と、アクセプターを含む膜との積層膜が、強誘電性を示すことを示す。すなわち、このキャパシタが強誘電体メモリとして

応用できることを示している。

【0125】本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】実施の形態に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。

【図2】表面修飾層のパターニングの製造工程を模式的に示す断面図である。

【図3】変形例に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。

【図4】実施の形態に係る強誘電体キャパシタの製造方法を適用できる強誘電体キャパシタを模式的に示す断面図である。

【図5】変形例に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。

【図6】ドナーを含む膜とアクセプターを含む膜との積層膜において、強誘電性が示される原理を説明するための模式図である。

【図7】本発明にかかる強誘電体メモリ装置が適用された蓄積容量型の強誘電体メモリ装置を模式的に示す断面図である。

【図8】図7に示す強誘電体メモリ装置を適用した1T1C方式のメモリセルを示す図である。

【図9】図7に示す強誘電体メモリ装置を適用した2T2C方式のメモリセルを示す図である。

【図10】本発明にかかる強誘電体メモリ装置が適用されたMISトランジスタ型の強誘電体メモリ装置を模式的に示す断面図である。

【図11】図10に示す強誘電体メモリ装置を適用したメモリセルを示す図である。

【図12】本発明にかかる強誘電体メモリ装置が適用された、メモリセルが単純マトリクス状に配列された強誘電体メモリ装置を模式的に示す図である。

【図13】図12に示す強誘電体メモリ装置のメモリセルアレイを示す平面図である。

【図14】図13のA-A線に沿った部分を模式的に示す断面図である。

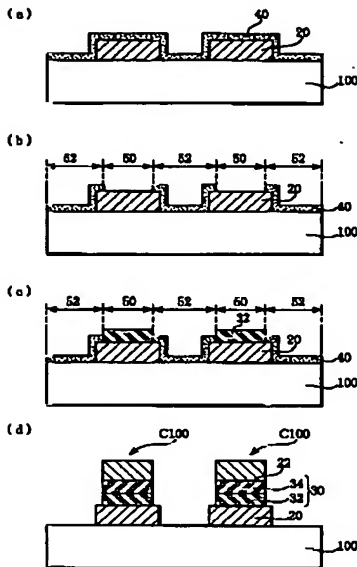
【図15】変形例に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。試験体（キャパシタ）の分極と、電圧との関係を表すグラフを示す。

【符号の説明】

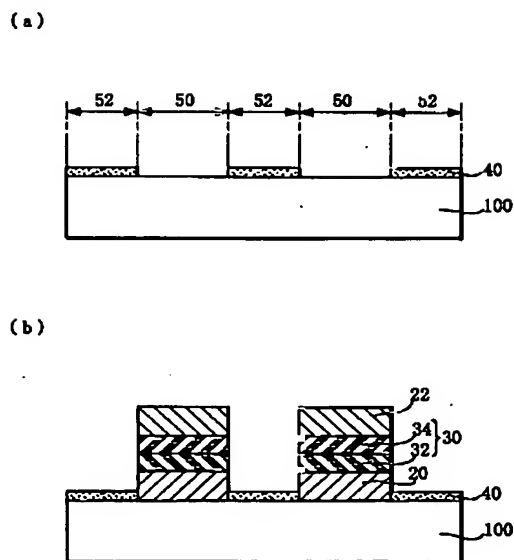
- 10 半導体基板
- 12 トランジスタ
- 14, 16 ソース/ドレイン
- 17 素子分離領域
- 19 層間絶縁膜
- 20 第1電極（下部電極、フローティングゲート電極、第1信号電極）
- 22 第2電極（上部電極、ゲート電極、第2信号電極）

- 極)
30 強誘電体膜
32 ドナーを含む膜
34 アクセプターを含む膜
40, 42 表面修飾層
50 第1の領域
52 第2の領域
100 基体
100A メモリセルアレイ
120 メモリセル(強誘電体キャパシタ)
C100 強誘電体キャパシタ
1000, 2000, 3000 強誘電体メモリ装置

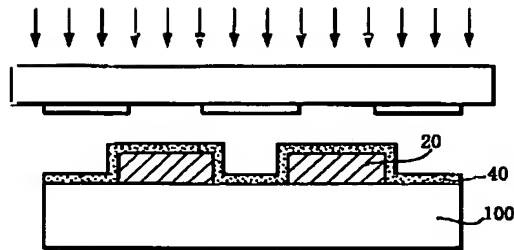
【図1】



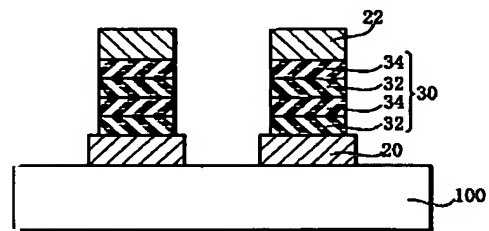
【図3】



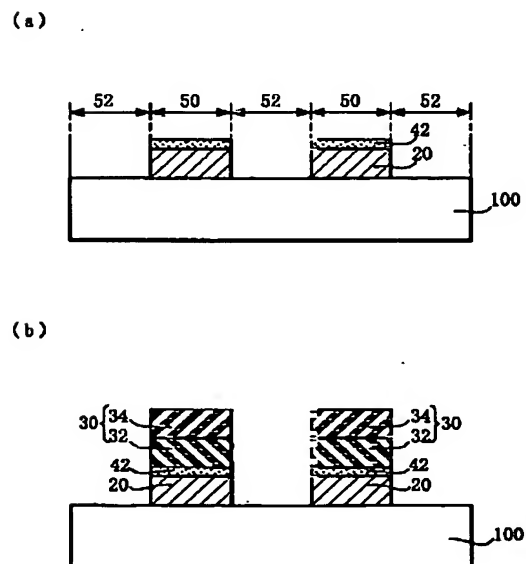
【図2】



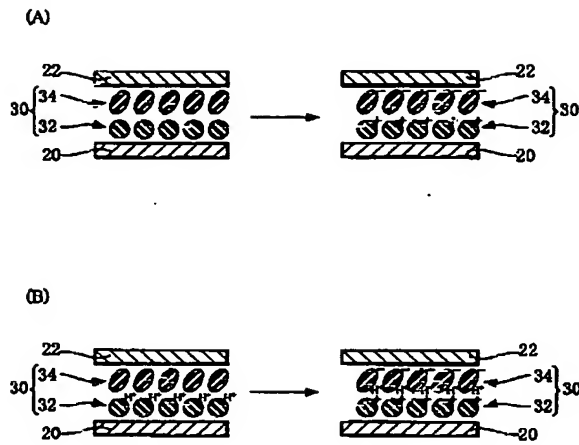
【図4】



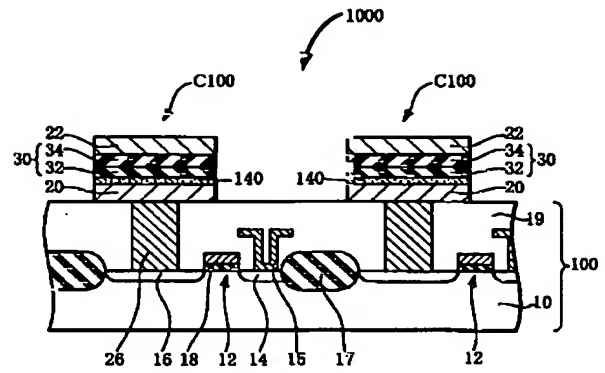
【図5】



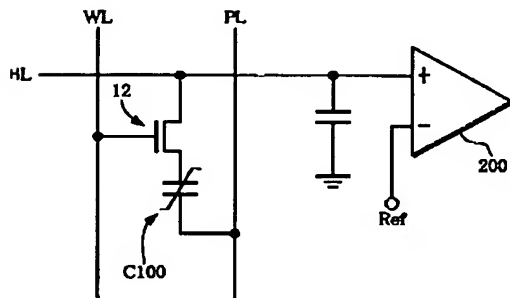
【图6】



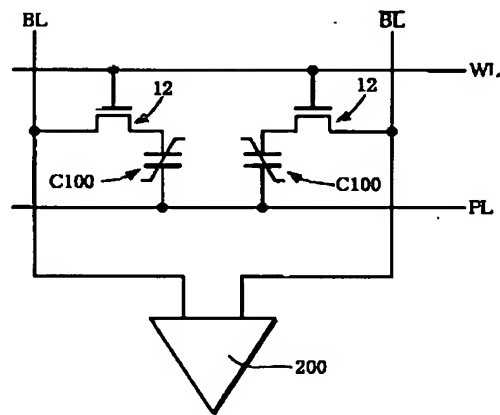
【图7】



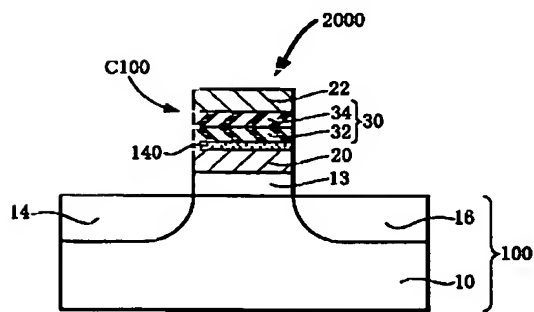
【图8】



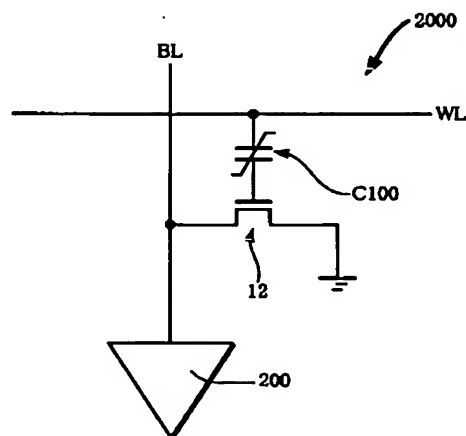
【图9】



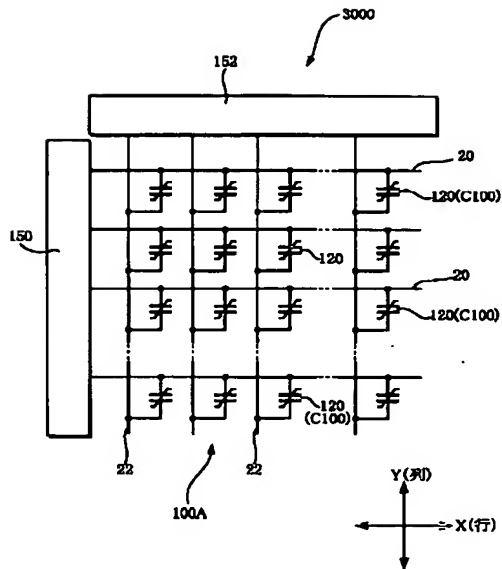
【图10】



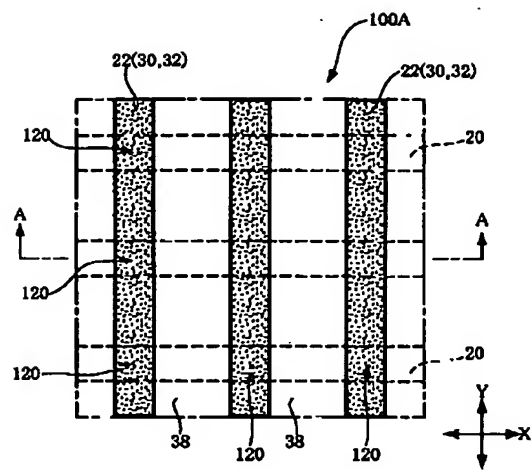
【图11】



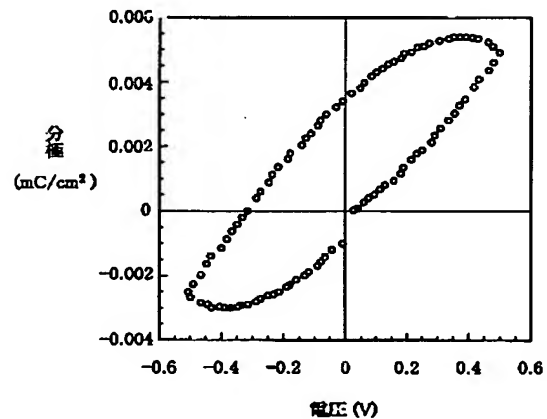
【図12】



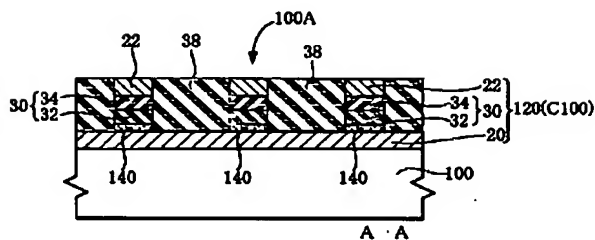
【図13】



【図15】



【図14】



フロントページの続き

(72)発明者 古沢 昌宏
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 名取 栄治
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 三谷 洋興
 石川県能美郡辰口旭台1-1 北陸先端科学技術大学院大学内

(72)発明者 大久保 貴志
 石川県能美郡辰口旭台1-1 北陸先端科学技術大学院大学内

Fターム(参考) 5F083 AD48 AD49 EP02 EP22 EP56
 FR02 FR03 FR07 JA01 JA36
 JA37 JA38 JA39 JA43 JA44
 MA06 MA17
 5F101 BA01 BA28 BA62